

(19)日本国特許庁(J・P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-259648

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.⁵

H 0 5 K 3/46

H 0 1 L 23/50
25/00

識別記号

庁内整理番号

F I

L 6921-4E

N 6921-4E

Q 6921-4E

W 9272-4M

A

技術表示箇所

US 5241454

審査請求 有 請求項の数10(全 7 頁) 最終頁に続く

(21)出願番号 特願平4-327915

(22)出願日 平成4年(1992)12月8日

(31)優先権主張番号 8 2 3 9 1 4

(32)優先日 1992年1月22日

(33)優先権主張国 米国(U.S.)

(71)出願人 390009531

インターナショナル・ビジネス・マシー
ン・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク(番地なし)

(72)発明者 ヨゼフ・ジョージ・アミン

アメリカ合衆国13732 ニューヨーク州
アパラチン クレセント ドライブ 15

(74)代理人 弁理士 頓宮 孝一(外4名)

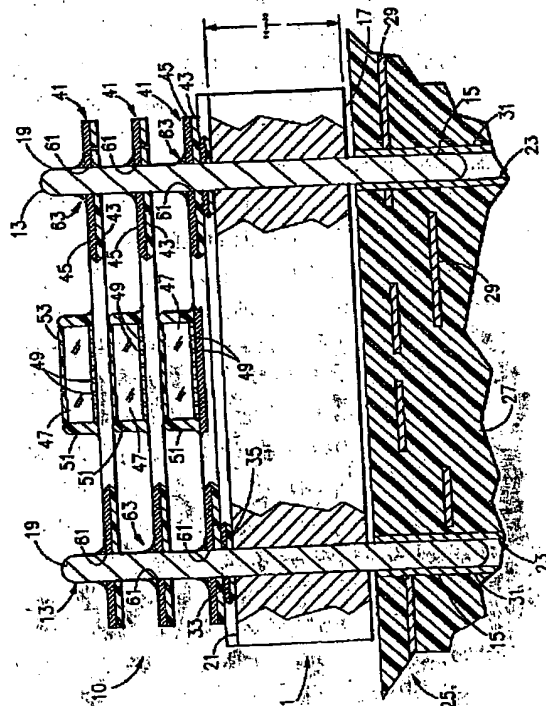
最終頁に続く

(54)【発明の名称】 電子回路パッケージおよびその作製方法

(57)【要約】

【目的】 情報処理システムの分野において利用可能な電子回路パッケージを提供する。

【構成】 間隔をおいて配置された複数の導電性のピン13を有する、剛性の第1の基板11を含む電子回路パッケージ10である。上記ピンはそれぞれ基板の下面より下側に突出する端部を有し、それによって第1の基板を第2の基板25内に配置し、そして第2の基板と電気的に接続する。上記ピンはまた、第1の基板の反対側の上面より突出する反対側の端部を有している。これら上方に突出する端部は、それらに複数の薄膜フレキシブル回路基板41を積み重ねて配置するためのものであり、各基板は半田により必要に応じてピンに電気的に接続する。



BEST AVAILABLE COPY

(2)

【特許請求の範囲】

【請求項1】第1の表面と、間隔をおいて配置された少なくとも2つの導電性のピンとを有する実質的に剛性の第1の基板を備え、前記ピンは前記第1の表面より突出する少なくとも1つの端部を有し、

前記第1の基板の前記第1の表面上で、前記導電性ピンの前記突出端部に積み重ねて配置される複数の薄膜フレキシブル回路基板を備え、前記回路基板の所定のものは、少なくとも1つの誘電体層と、前記誘電体層上の少なくとも1つの回路層と、前記フレキシブル回路基板上に配置されて前記回路に電氣的に接続された少なくとも1つの半導体デバイスとを含み、前記回路基板の前記所定のものは、その基板に位置する前記ピンの前記突出端部をそれぞれ受容するための少なくとも2つの開口を含み、

前記回路基板を前記導電性ピンの前記突出端部に前記開口の領域において電氣的に接続する手段を備えた電子回路パッケージ。

【請求項2】前記第1の基板は、前記第1の表面と実質的に反対側の第2の表面を有し、前記ピンは前記第2の表面より突出する第2の端部を有することを特徴とする請求項1記載の電子回路パッケージ。

【請求項3】部分的に電気回路を有する第2の実質的に剛性の基板を備え、前記ピンの前記第2の突出端部は、前記第2の基板の前記電気回路に電氣的に接続するようになっていることを特徴とする請求項2記載の電子回路パッケージ。

【請求項4】前記薄膜フレキシブル回路基板の少なくとも1つは、前記誘電体層の前記回路層とは反対側の、前記誘電体層の表面に第2の回路層を有することを特徴とする請求項1記載の電子回路パッケージ。

【請求項5】前記薄膜フレキシブル回路基板の前記回路を前記導電性ピンの前記突出端部に電氣的に接続する前記手段は半田材料からなることを特徴とする請求項1記載の電子回路パッケージ。

【請求項6】前記半導体デバイスと前記薄膜フレキシブル回路基板とをそれぞれ電氣的に接続するための第2の半田材料をさらに有し、前記第2の半田材料は、前記フレキシブル回路基板を前記導電性ピンの前記突出端部に電氣的に接続する前記半田材料とは異なる融点を有することを特徴とする請求項5記載の電子回路パッケージ。

【請求項7】第1の表面と、間隔をおいて配置された少なくとも2つの導電性のピンとを有する実質的に剛性の第1の基板を与えるステップを含み、前記ピンは前記第1の表面より突出する少なくとも1つの端部を有し、前記第1の基板の前記第1の表面において、複数の前記薄膜フレキシブル回路基板を前記導電性ピンの前記突出端部に積み重ねるステップを含み、所定の前記回路基板は少なくとも1つの誘電体層と、前記誘電体上の少なくとも1つの回路層と、前記基板上に位置して前記回路に

電氣的に接続された少なくとも1つの半導体デバイスとを有し、前記所定の前記回路基板は、前記ピンの前記突出端部をそれぞれ受容するための少なくとも2つの開口を有し、

前記回路基板の前記回路を前記導電性ピンの前記突出端部に前記開口の領域において電氣的に接続するステップを含む電子回路パッケージを作製する方法。

【請求項8】前記薄膜フレキシブル回路基板は、前記導電性ピンの前記突出端部上に順番に配置され、前記導電性ピンの上にそれぞれ位置する、前記回路基板の前記回路の接続は、前記フレキシブル回路基板の前記配置において、前記開口の前記領域で行われることを特徴とする請求項7記載の電子回路パッケージ作製方法。

【請求項9】少なくとも1つの前記薄膜フレキシブル回路基板に対して、前記1つの回路層とは反対側の、前記誘電体層の表面に第2の回路層を設けることを特徴とする請求項7記載の電子回路パッケージ作製方法。

【請求項10】前記薄膜フレキシブル回路基板の前記第2の回路を前記導電性ピンの前記突出端部に電氣的に接続するステップは、前記薄膜フレキシブル回路基板の前記開口に係わる前記導電性ピンに対してそれぞれ半田部材を設けるステップを含むことを特徴とする請求項7記載の電子回路パッケージ作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は電子回路パッケージング構造に関し、特に一部に薄膜フレキシブル回路基板を部分的に用いた構造に関するものである。さらに具体的には、情報処理システム（コンピュータ）の分野において利用可能なパッケージング構造に関するものである。

【0002】

【従来の技術】従来より、米国特許第4,849,856号明細書、第4,914,551号明細書、第4,962,416号明細書、ならびに第4,965,700号明細書などに示されているような、種々の電子回路パッケージング構造が知られている。これらの特許に記述されているパッケージング構造では共通して、その一部に薄膜フレキシブル回路基板が用いられている。そして、このような回路基板は、その上に少なくとも1つの回路層（例えば、クロム-銅-クロム）を有する薄い誘電体層（例えば、ポリイミド）を備えている。この薄膜フレキシブル回路基板は、他の回路基板（例えば、プリント配線板）上に配置してその回路基板に電氣的に接続され、その結果、薄膜回路基板の各回路部分に接続された半導体デバイスが、他の基板上の対応する回路に電氣的に接続される。上記米国特許第4,849,856号明細書、第4,914,551号明細書、ならびに第4,962,416号明細書には、このようなパッケージング構造の代表的な例が示されており、そこでは上述のような接続方法が採られている。

(3)

【0003】今日製造されている薄膜フレキシブル回路基板は、情報処理システムの分野において望まれる種々の長所を有している（例えば、高密度であること、柔軟性、相対的な製造の容易さなど）。

【0004】従来の他のタイプのパッケージング構造では、セラミックなどの基板が用いられ、その中あるいはその上の一部に種々のレベルの回路が構成されている。そして基板の底面には複数の接続ピン（例えば銅）が突出して設けられ、プリント配線板などのメスの受容電気回路部材内に配置されるようになっていて、部分的にセラミック・ベース、すなわち基板部材を含むこのようなパッケージング構造の例は、米国特許第4,072,697号明細書、第4,221,047号明細書、第4,626,960号明細書、第4,652,977号明細書、ならびに第4,322,778号明細書に記述されている。これらの特許に示されているように、関連する回路に最終的に接続するため、複数の導電性のピンが、セラミック・ベース、すなわち基板の一般に底面より突出して設けられている。さらに改良されたセラミック基板のパッケージング構造では、セラミック基板の反対側の面上に、それぞれ適切な誘電体層（例えば、ポリイミド）上に配置された種々の導電層（例えば、クロム-銅-クロム）の回路部が設けられている。最近の例では、合計2つの回路層を設けることができる。

【0005】以下の説明から分かるように、本発明は、薄膜フレキシブル回路パッケージング構造の種々の長所を、一部にピンを付加したセラミックなどの基板を用いた以前のより荒削りのパッケージング構造の長所と結合するものである。その結果、このような以前のパッケージング構造の機能を大幅に向上させることができ、同時に上記薄膜フレキシブル回路基板の用途を拡大することが可能となる。

【0006】以下、本発明の電子回路パッケージング構造について説明する。このパッケージング構造の上述したような長所および他の長所により、当該分野において重要な進歩がもたらされよう。

【0007】

【発明が解決しようとする課題】従って、本発明の主要な目的は、上記長所を有する、以下に示す電子回路パッケージを提供して電子回路パッケージング技術を向上させることにある。

【0008】

【課題を解決するための手段】本発明によれば、第1の表面を有し、間隔をおいて配置された導電性のピンを有する、実質的に剛性の第1の基板を備えた電子回路パッケージが与えられる。前記ピンは、前記第1の表面上に突出する少なくとも1つの端部を有している。また、第1の基板の上には、複数の薄膜フレキシブル回路基板が前記導電性ピンの突出端部に積み重ねて配置され、そして回路基板の回路を各導電性ピンに接続する手段が設

けられている。薄膜回路基板の中の所定のものはそれぞれ、少なくとも1つの誘電体層と、その上に構成された少なくとも1つの回路層とを含み、さらにフレキシブル基板上に配置され、電氣的に基板上の回路に接続された半導体デバイスを含んでいる。これら所定の薄膜回路基板は間隔をおいて配置された少なくとも2つの開口を有し、それらは上記ピンの突出端部をそれぞれ受容する。そして、回路基板の回路とピンとが回路基板上で接続される。

【0009】本発明はまた電子回路パッケージの作製方法を与え、その方法は、間隔をおいて配置された少なくとも2つの導電性のピンを含む実質的に剛性の第1の基板を構成するためのステップと（前記導電性のピンは前記第1の基板の第1の表面より突出している）、導電性ピンの突出端部に、複数の薄膜フレキシブル回路基板を積み重ねるステップと、回路基板の回路を導電性ピンに接続するステップとを含んでいる。前記回路基板の所定のものは、前記回路に加え、回路が構成された少なくとも1つの誘電体層と、前記回路基板上に配置され、前記回路に電氣的に接続された少なくとも1つの半導体デバイスとを備えている。

【0010】

【実施例】次に本発明の実施例について図面を参照して説明する。図1に本発明の好適な実施例の電子回路パッケージ10を示す。パッケージ10は、実質的に剛性の第1の基板11（望ましくは材質がセラミックのもの）を含み、基板11は間隔をおいて配置された複数の導電ピン13（例えば、銅製）を有している。基板11は望ましくは既知のセラミック構造体とする。その詳しい説明は省略する。ピン13は従来より用いられている、材質が銅の既知のものであり、これについても詳しい説明は省略する。図1には2つのピン13だけが示されているが、本発明はそのようなものに限定されるものではない。例えば、ピンの数は200本であってもかまわない。セラミック基板11の厚み“T”は例えば約1.524mm（約0.060インチ）とし、ピン13は例えば円筒形で、その直径は約0.406mm（約0.016インチ）とする。

【0011】ピン13は、基板11の下面17より突出する下方（下側）突出端部15を有し、同時に、基板の反対側の上面21より上方に突出する上方突出端部19を有している。例えば、ピン13の下方突出端部15は、従来の一般的な場合のように、下面17より約4.572mm（約0.180インチ）だけ突出している。これら下方突出端部15は別の回路部材25の導電性開口23内に配置するためのものである。この回路部材25の好適な一例は、よく知られた従来の一般的な多層プリント配線板である。この種の配線板は一般に誘電体部材（例えば、エポキシ加工されたガラス・ファイバ）27からなり、間隔をおいて配置された、必要な機能（例

(4)

5

例えば、信号、電源、グラウンド)を実現するための複数の導電性のメッキ板(例えば、銅製)29を有している。そして、ピン13は導電性開口23内に配置され、上記導電性の層にそれぞれ電気的に接続される。従って回路部材25は、剛性の第1の基板11を電気的に接続できる回路基板を表している。この第2の基板25も望ましくは実質的に剛性のものである。基板25は、一例として例えば上述のような多層回路基板とし、その厚みは約1.574mm(0.062インチ)とする。

【0012】上記導電性開口23はそれぞれ望ましくは従来の一般的なメッキ・スルーホールとする。このようなメッキ・スルーホールは一般に、多層回路基板の適切な所定位置にドリルによって穴開けすることにより形成し、符号31により示すように内側を適切な導電性の材料(例えば、銅)によってコーティングする。

【0013】本発明ではまた、剛性のセラミック基板11も必要なら、別々に配置された、各ピン13にそれぞれ接続できる種々の導電性の層を含んでいてもよい。このような導電性の層(図示せず)はその材質を、第2の基板25内の層29のように銅とすることができる。本発明の好適な実施例では、第1の基板11は少なくとも1つの導電性の層33を含み、その導電性の層はパッケージ10の電気的な機能を実現するための回路を構成する。導電性の層(回路)33は望ましくは約0.00762mm(約0.0003インチ)の薄さとし、適切な誘電体部材(例えば、ポリイミド)35上に配置する。そして誘電体部材は上面21上に配置する。誘電体部材35の厚みは、例えば約0.010mm(約0.0004インチ)とする。理想的には、セラミック基板の上面にまず初期金属層(図示せず)を形成し、誘電体層はその上に構成する。この初期金属層としては例えば、クロム-銅の層とし、約0.0040mm(約0.00016インチ)の薄さとする。セラミックなどの各基板の最上部に配置された各導電性の層の使用、および種々に配置されたピンの使用については既知であり、それらの詳細な説明は省略する。

【0014】本発明では、パッケージ10は上面21(そして誘電体層35上に配置された回路層33の上面)の上に突出するピン13の上記上方突出端部19を含んでいる。図1に示すように、これらの上方突出端部19は具体的には、少なくとも1枚、望ましくは数枚の薄膜フレキシブル回路基板41(図1では3枚)のそれぞれに適合するように設計されている。そして回路基板41は必要に応じてピン13の端部に電気的に接続され、その結果、フレキシブル回路基板は、第1および/または第2の基板の内部および/または上部に配置された各回路に電気的に接続される。

【0015】薄膜フレキシブル回路基板はそれぞれ少なくとも1つの誘電体の層(例えば、ポリイミド)43と、それに付加された導電性の層(例えば、銅、あるいは

6

はクロム-銅-金)45とを含む。各基板はそれぞれ全体で約0.101mm(約0.004インチ)から約0.127mm(約0.005インチ)の薄さとすることが望ましく、その結果、必要な柔軟性を確保できる。各基板41には、図1に示すように、回路45に内部で電気的に接続された半導体デバイス(チップ)47が設けられている。デバイス47を接続する好適な方法は、C4半田接続と呼ばれる技術を用いることである。C4は、制御されたコラプス・チップ接続を表し、現在では良く知られた技術であり、本発明の権利保持者によって開発されたものである。図1に複数の半田部材49を示す。図1にさらに示すように、各半導体デバイス47のこれらの半田接続部は、適切なカプセル51によって包むことが望ましい。このようなカプセルを用いることによって、デバイスの上面53をカバーすることも可能となる。このような目的で用いるカプセルとして数種のものがあるがすでに存在しているので、その詳細な説明はここでは省略する。各半導体デバイスの上面に配置するカプセルは、例えば約0.010インチの薄さとする。カプセル51はもちろん誘電体により構成する。

【0016】図1の構造では、3枚の薄膜フレキシブル回路基板41が、ピン13の上方突出端部19上に順番に積み重ねられている。また、各基板の誘電体層43は、それらの下にある半導体デバイス47上に配置された上記カプセル・カバー51(カバーを用いた場合)の上、あるいは、底部回路基板41の場合には基板11上の回路45の上に位置している。各デバイス上にカプセルを設けなかった場合には、各フレキシブル基板は、その下にある各デバイスの上面に直接接することになる。従って、図1の構造では各回路基板は近接するフレキシブル基板あるいは基板11上の回路のいかなる導電性表面からも電気的に絶縁されている。

【0017】図1の実施例では各回路基板41に1つの半導体デバイス47だけが設けられているが、各基板にさらに他の半導体デバイスおよび/または他の電気部品を設け、各基板の機能を高め、従って本発明の電子回路パッケージの機能を高めるようにすることももちろん可能である。

【0018】また図1、さらに図2、図3に示すように、各薄膜フレキシブル回路基板41は少なくとも2つの開口61を有し、各開口61はそれらに貫通・挿入される導電性ピン13の端部を受容するようになっている。例えば、各開口61の内径は0.5842mm(約0.023インチ)から0.635mm(約0.025インチ)とし、各銅製ピンに比較的緩く係合するようにする。係合を緩くすることにより、相対的に薄いフレキシブル基板が裂けることを防止できる。各基板41上の各回路45を開口61の領域でピン13に電気的に接続するため、手段63が設けられている。好適な例として手段63は、充分な量の半田65からなる、初期の形状

(5)

7

が中空のシリンダー状の部材67とし(図2)、その後、適切に加熱して図3のような形状に熔融する。その結果、開口61のまわりに隣接する回路43に確実に接続することができる。各半田部材67は、好適な一実施例として上述のようにシリンダー状の形状とし、外径は1.016mm(約0.040インチ)、内径(穴の内径)は0.4572mm(約0.018インチ)とした。部材67は、基板41をピン13上に積み重ねるとき、そのまま各薄膜フレキシブル回路基板上に順番に配置した。さらに、開口61は適切な導電体(例えば、銅)によってメッキし、接続性を高める。この導電体は図には示していない。メッキ・スルーホールについては従来より良く知られているので、その詳しい説明は省略する。

【0019】図1の実施例では望ましい一例として、ピン13は基板11の上面21より3.048mm(約0.120インチ)だけしか突出しないようにし、セラミック基板上での高さができるだけ低くなるようにしている。図1に示すように、この寸法においてピンは合計3枚のフレキシブル回路基板41を受容できる。ただし、本発明は3枚の基板の場合に限定されるものではなく、ピンがもっと長く、さらに多数の基板を受容するようになっていても良い。

【0020】パッケージ10を組み立てる望ましい方法として、まず1枚のフレキシブル回路基板41をピン13上に、上部の導電性回路45に対して配置し、そして半田部材67を付加する。次に、第2の回路基板41を配置し、半田部材67を付加する。さらにその上に第3の基板を配置して半田部材を付加する。その後、パッケージ10を適度に加熱し、半田部材67を熔融させ、その部分の所定の回路と適切に接続させる。なお、半田を熔融するための熱源としては、水素(高熱ガス)を用いることが望ましい。水素を用いるのは、金属表面の酸化物を、水蒸気化によって取り除くことができるからである。従って、水素を用いることにより、従来のようにフラックスなどを用いる必要がなくなり、さらに半田付け後の清掃が不要となる。このことは今日のパッケージ製造環境において極めて有利である。

【0021】本発明においては、半田を階層化し、融点異なる、少なくとも2種類の半田を使用することが望ましい。そこで一例として、各半導体デバイス47を各回路基板41に接続するための第1の半田としては、その融点が半田部材67と異なるものを用いた。具体的には、融点が318°Cの3:97(すず:鉛)半田を、半導体デバイス47と各基板41の回路との接続に使用し、一方、融点が248°Cの50:50(すず:鉛)半田を、フレキシブル回路基板41と開口61の領域のピン13との接続に使用した。各半導体デバイスをフレキシブル回路基板上に接続するためにより高い融点の半田を用い、その融点より低く、半田部材67の融点より高

8

い加熱水素を用いることにより、半田部材67を十分に熔融させることができ、一方、半導体デバイスとフレキシブル基板との間の比較的デリケートな半田結合に対しては影響を与えないようにできる。

【0022】また、半田コーティングによりピン13の下方突出部15と基板25の導電性開口23との電気的な接続性を高めようとする場合には、さらに融点の低い半田を用いることが望ましい。そこで一例として、融点が183°Cの63:37(すず:鉛)半田を用いた。この低融点の半田は、半田部材67の加熱のため高熱水素ガスによりパッケージ10を加熱するとき、高熱ガスの方向が適切なら熔融することになる(下記参照)。

(このような低融点の半田は、パッケージを、内部の空気が高温のオープン内に配置して加熱する場合にも加熱される。)この加熱工程は上述した理由により有利と考えられる。

【0023】本発明の望ましい実施例として、パッケージ10は水素炉で加熱し、半田部材67(および、半田コーティングを行うとして一ピン下部の半田)を熔融させた。水素炉としては連続水素ベルト炉が望ましいが、種々のタイプのものが市場にでまわっている。加熱中、炉内の酸素濃度は10ppm(百万分率)以下、望ましくは酸素が全く含まれないようにすべきである。また、炉内の湿度は50ppm以下、望ましくは零とすべきである。水素の濃度については、約4.95~5.94標準立方メートル(約175から210標準立方フィート)/時(断面が152.4mm(6インチ)×152.4mm(6インチ)のベルト炉)とするのがよく、水素ガスは炉中央(最も高温の領域)に注入する。炉の温度は、上述した種々の材料に対して、約250°Cから約300°Cの範囲とし、望ましくは約275°Cとすべきである。この温度は上述した50:50半田の融点を上回り、一方、3:97半田の融点以下である。従来から知られているこのような炉の例を挙げると、長さは5.48m(216インチ)であり、コンベア速度は127から381mm(5から15インチ)/分である。ただし、本発明にとって望ましい速度は279.4mm(11インチ)/分である。このような加熱工程において、パッケージ10は下側基板25内に配置し、それらは共に炉内に配置する。一方、適切に配置したノズルより高温ガスを半田部材に当て、加熱するようにしてもよい。

【0024】図4は部分図であり、本発明の他の実施例の電子回路パッケージ10'を示す。パッケージ10'は、少なくとも1つの半導体デバイス47に対して上記カプセル・コーティングを行っていないという点で図1のパッケージ10と異なっている。このコーティングしていないデバイスと、その上に近接する回路基板41'とを電気的および熱的に絶縁するため、比較的薄い誘電体層71を設ける。一例として、この誘電体層71は、

(6)

9

厚さ0.05mm(0.002インチ)のポリイミドによって形成し、ピン13の各突出端部19に対応する開口73を設ける。図4に示すこのような構造とした場合には、本発明に係わる半導体デバイス47の1つあるいはそれ以上をカプセルなどで包むことなくパッケージを組み立てることができる。このような構成は特に、一部に下側(第2の)の導電性(例えば、グランド)の層45'を有する薄膜フレキシブル回路基板41'を用いる場合に採用する。このような層45'は、図4に示すように、誘電体層43に対し、上部の回路層45とは反対側に配置することができ、そしてグランドなどとして機能させることができる。上記誘電体層71を用いることにより、下側の導電性層45'とその下に位置するデバイス47との電氣的なショートを防止することができる。パッケージ10'では、その他の要素として図1に示したものと同様のものを用いている。

【0025】以上、高密度の薄膜フレキシブル回路基板の長所と、ピンを備えた剛性基板(例えば、セラミック)に関連した技術とを結合する新しい改良形の電子回路パッケージについて記述した。本発明は、上述のような結合の結果として、当該分野における重要な進歩を実現するものである。本発明は例えば、情報処理システム(コンピュータ)に適用でき、高密度化に対する厳しい要求に応えることができる。さらに、本発明は比較的大きな規模でパッケージを製造する(マスマンファクチャリング)場合に適用でき、その結果、例えばローコスト化などの利益が得られる。

【0026】ここでは、本発明の現時点において望ましい実施例について説明したが、本発明の範囲内で、種々の変更や改良を加え得ることは、業者にとって明白であろう。例えば、本発明に係わる各薄膜回路基板の配線可

10

能性を高めるため、1つ以上の導電層を含む基板を用いてもよく、その場合、各導電層は適切な手段(例えば、導電性の孔や、上述したものより径が小さい導電性のピンなど)により相互接続すればよい。

【0027】

【発明の効果】本発明により、高密度の薄膜フレキシブル回路基板の長所と、ピンを備えた剛性基板に関連した技術とを結合する新しい改良形の電子回路パッケージが得られる。

10 【図面の簡単な説明】

【図1】本発明の好適な実施例の電子回路パッケージを示す拡大正断面図である。

【図2】本発明の薄膜フレキシブル回路基板上の回路と、対応する導電性ピンとを接続するための種々のステップを示す図である。

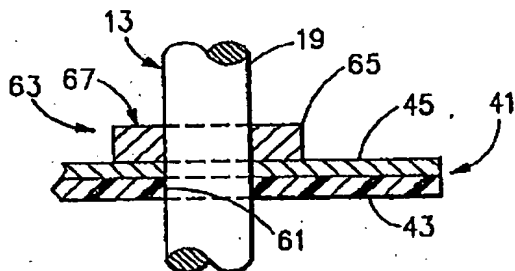
【図3】本発明の薄膜フレキシブル回路基板上の回路と、対応する導電性ピンとを接続するための種々のステップを示す図である。

20 【図4】本発明の他の実施例の電子回路パッケージを示す部分正面図である。

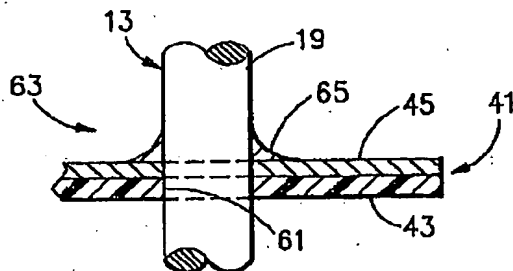
【符号の説明】

- 10 電子回路パッケージ
- 11 基板
- 13 導電ピン
- 15 下方突出端部
- 19 上方突出端部
- 23 導電性開口
- 25 回路部材
- 27 誘電体部材
- 29 メッキ板

【図2】

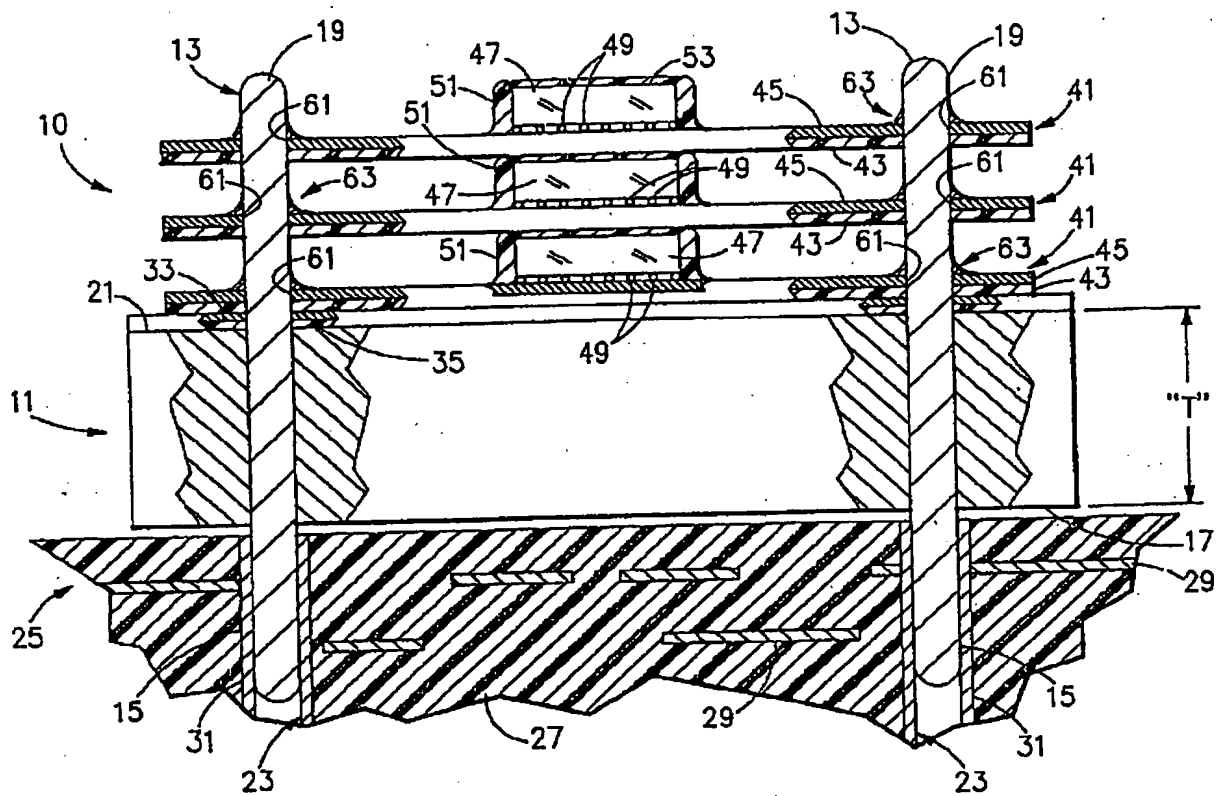


【図3】

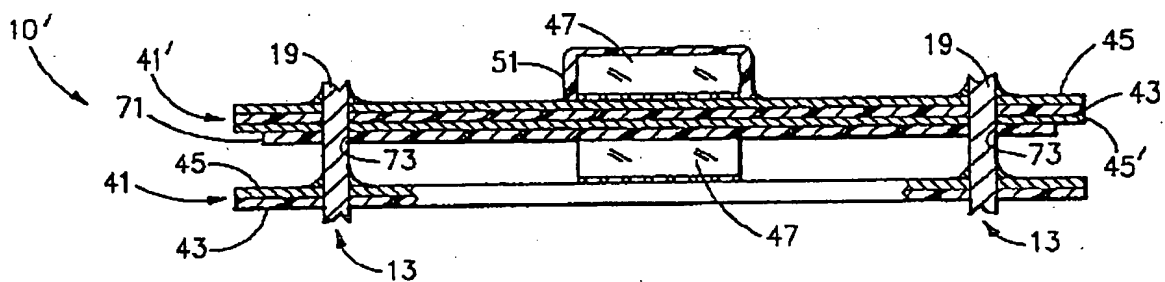


(7)

【図1】



【図4】



フロントページの続き

(51) Int. Cl. 5

H 0 5 K 1/18
3/36

識別記号

庁内整理番号

F I

技術表示箇所

S 9154-4E

B 7047-4E

(72) 発明者 ヨゼフ・ファナリ

アメリカ合衆国 13850 ニューヨーク州
ベスタル メーカー ロード 149(72) 発明者 デビッド・ウィリアム・シセンステイン
アメリカ合衆国 13760 ニューヨーク州
エドウェル アルフレッド ドライブ

519

BEST AVAILABLE COPY